

Ex01: 1° Equations de entrie:

$$J_A = K_A = 1 \quad 0,25$$

$$J_B = K_B = \overline{Q_A + Q_D} = \overline{Q_A} \cdot \overline{Q_D} \quad 0,25$$

$$J_C = K_C = \overline{Q_B \cdot Q_A} \cdot \overline{Q_B \cdot Q_A} = \overline{Q_A} \cdot \overline{Q_B} \quad 0,25$$

$$J_D = \overline{Q_A \cdot Q_B} + \overline{Q_C} = \overline{Q_A} \cdot \overline{Q_B} + \overline{Q_C} = \overline{Q_A} \cdot \overline{Q_B} + \overline{Q_C} \quad 0,5$$

$$K_D = Q_A \quad 0,25$$

2° Table caractéristique:

Q_D	Q_C	Q_B	Q_A	J_D	K_D	J_C	K_C	J_B	K_B	J_A	K_A	Q_D^+	Q_C^+	Q_B^+	Q_A^+
0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	1
0	0	0	1	0	1	0	0	1	1	1	1	0	0	1	0
0	0	1	0	0	0	0	0	0	0	1	1	0	0	1	1
0	0	1	1	0	1	1	1	1	1	1	1	0	1	0	0
0	1	0	0	0	0	0	0	0	0	1	1	0	1	0	1
0	1	0	1	0	1	0	0	1	1	1	1	0	1	1	0
0	1	1	0	0	0	0	0	0	0	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
1	0	0	0	0	0	0	0	0	0	1	1	1	0	0	1
1	0	0	1	0	1	0	0	0	0	1	1	0	0	0	0
1	0	1	0	0	0	0	0	0	0	1	1	1	0	1	1
1	0	1	1	0	1	1	1	0	0	1	1	1	1	1	0
1	1	0	0	0	0	0	0	0	0	1	1	1	1	0	1
1	1	0	1	0	1	0	0	0	0	1	1	0	1	0	0
1	1	1	0	0	0	0	0	0	0	1	1	0	1	1	1
1	1	1	1	1	1	1	1	0	0	1	1	1	0	1	0

3°

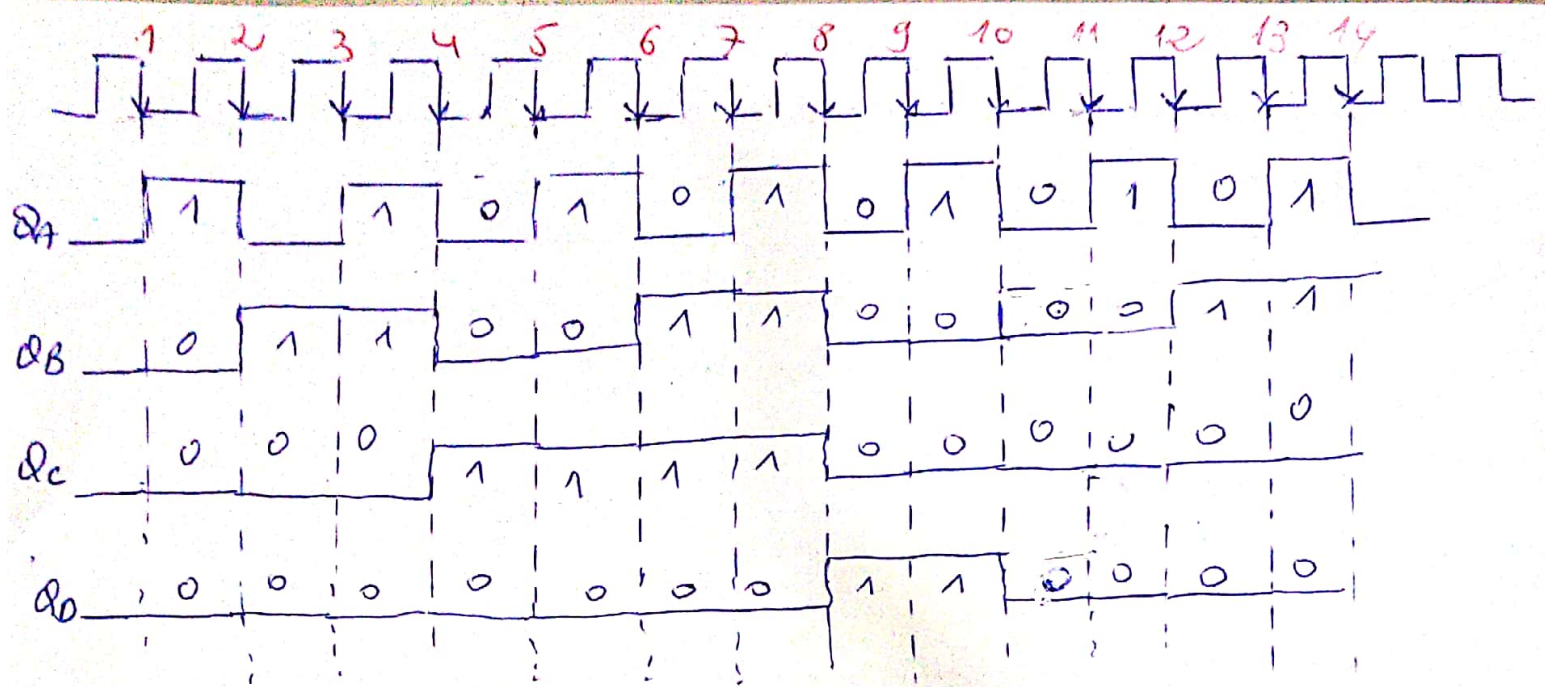
Séquence:

0000 — 0001 — 0010 — 0011 — 0100 — 0101 — 0110 — 0111

(1)

1001 ← 1000

Le module est 10 0,5



Exo2:

Vive = 1Mo bus d'ad = 20 bits

Morte = 1Mo

5 Boitiers RAM1 = 256K x 8

1 RAM2 = 256K x 16

3 RAM1 = 64K x 16

1 RAM2 = 512K x 16

Capacité Totale = 1Mo + 1Mo = 2Mo = 2 (2 octets)

bus d'ad = 20 bits

bus données = 2 octets = 16 bits

1/ Taille MBR = 16 bits

Vive = 1Mo = 2^{19} octets = $2^{19} \times 16 \text{ bits}$
= 512K x 16 bits

MORTE = 1Mo = 2^{19} octets = $2^{19} \times 16 \text{ bits}$
= 512K x 16 bits

2/ Pour réaliser la mémoire Vive = 512K x 16 bits

on prends : 1 RAM2 = 256K x 16 bits = $2^8 \text{K} \times 16 \text{ bits}$

+ 2 RAM1 en série = 256K x 8 bits = $2^8 \text{K} \times 8 \text{ bits}$

Afin d'avoir le minimum de boitiers

Pour la mémoire Morte = 512K x 16 bits un

seul boitier RAM2 = 512K x 16 bits Suffit

RAM2 = $2^{19} \times 16 \text{ bits}$

3/ Pour adresse RAM2 \Rightarrow 18 bits d'ad. A0...A17

2 RAM1 \Rightarrow 18 bits d'ad A0...A17

RAM2 \Rightarrow 19 bits d'ad. A0...A18

A18	A17	...	A0	Boitier
000000	0000	0000	0000 0000 0000	RAM2
3FFFFF	0011	1111 1111 1111 1111		
400000	0100	0000 0000 0000 0000		RAM1 + RAM2
7FFFFFFF	0111	1111 1111 1111 1111		
800000	1000	0000 0000 0000 0000		RAM2
FFFFFFF	1111	1111 1111 1111 1111		

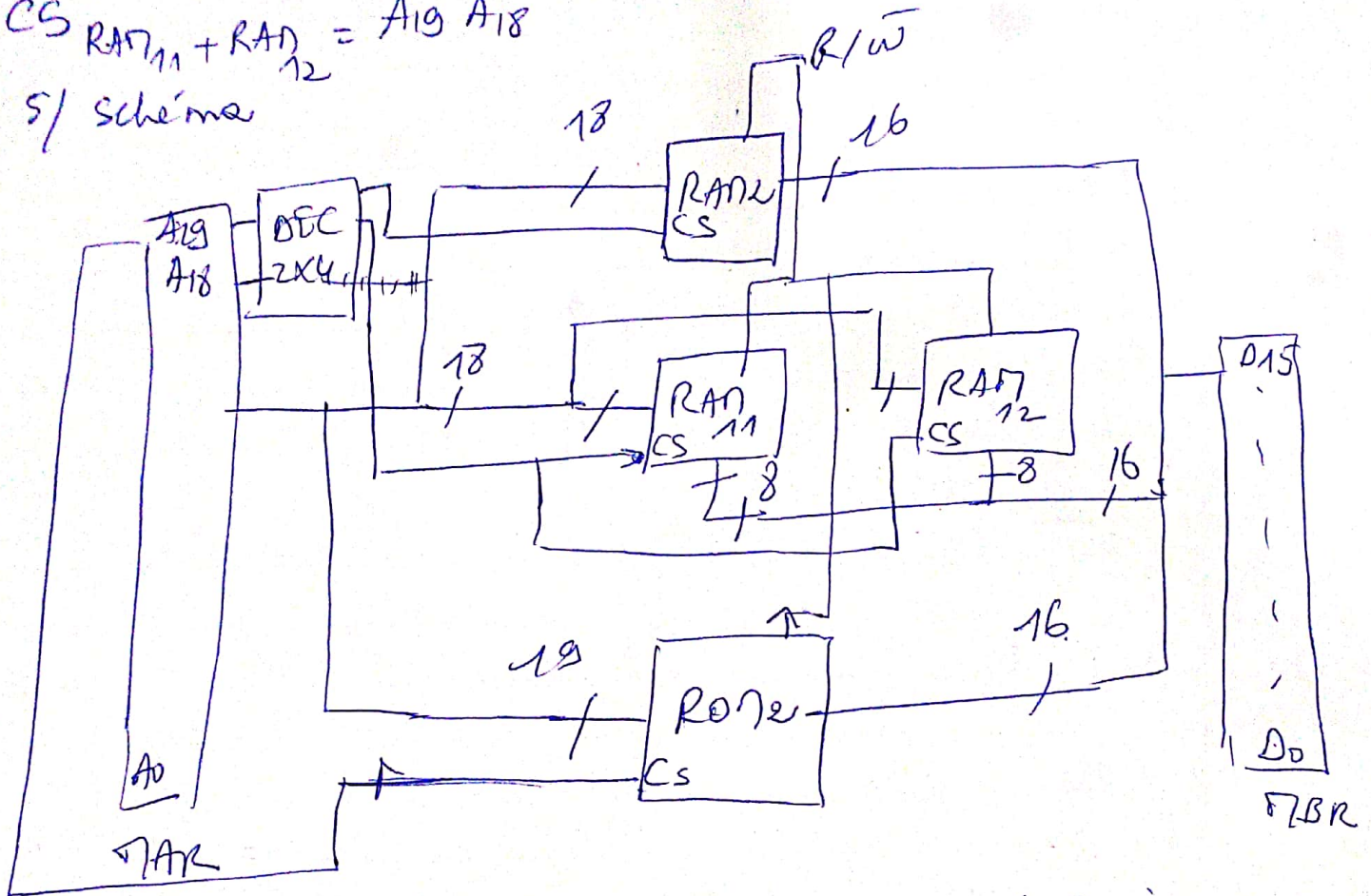
Si On commence par adresser les 2 RAM1 + RAM2, il suffit juste d'adresser les 2 ploges.

$$CS_{RAM2} = \overline{A_{19}} \overline{A_{18}}$$

$$CS_{ROM2} = A_{19}$$

$$CS_{RAM11} + CS_{RAM12} = \overline{A_{19}} A_{18}$$

5/ schéma



6. 250AF \rightarrow @ \in RAM2 on peut faire une écriture.
 AF005 \rightarrow @ \in ROM2 on ne peut pas faire une écriture car c'est une mémoire à lecture seule.

Exo 3

1/ Formule de d.

$$\left. \begin{aligned} d^2 &= x^2 + y^2 \\ x^2 &= a^2 + b^2 \\ y^2 &= a^2 + b^2 \end{aligned} \right\} \boxed{d^2 = 2(a^2 + b^2)}$$

2/ Programme

200 Read
201 STORE a, D
202 MUL a, D
203 STORE a, D
204 Read b, D
205 STORE b, D
206 MUL b, D
207 ADD a, D
208 MUL 2, IN7
209 SQR7
20A STORE d, D
20B Write

3/

Instructions	Acc	MBR	MAR	RI	a	b	d
Read	3	Read	200	Read	1	1	1
STORE a, D	3	3	a	STORE a, D	3	1	1
MUL a, D	9	3	a	MUL a, D	3	1	1
STORE a, D	9	9	a	STORE a, D	9	1	1
Read	4	Read	204	Read	9	1	1
STORE b, D	4	4	b	STORE b, D	9	4	1
MUL b, D	16	4	b	MUL b, D	9	4	1
ADD a, D	25	9	a	ADD a, D	9	4	1
MUL 2, IN7	50	9	208	MUL 2, IN7	9	4	1
SQR7	√50	SQR7	209	SQR7	9	4	1
STORE d, D	√50	√50	d	STORE d, D	9	4	√50
Write	√50	√50	20B	Write	9	4	√50